

派生開発カンファレンス2011

20110617

東京エレクトロン九州株式会社
地域アライアンス推進

秋山浩司



東京エレクトロン

Agenda

- 東京エレクトロン/東京エレクトロン九州 概要
 - Overview of TEL,TKL & Equipments
- 昨今の半導体業界
 - Semiconductor Process
 - Moore's Law
 - More Than Moore2009 ITRS Executive Summary
 - More Than Moore
 - SiP (System in Package)
- TEL装置の概要
 - Overview of Equipment
 - Overview of Controller
- TKL Internship 20xx
 - Internship overview
 - USDM in Internship
 - Simulator
 - Enhanced Approach
- Student report
- BACKUP

東京エレクトロン/東京エレクトロン九州

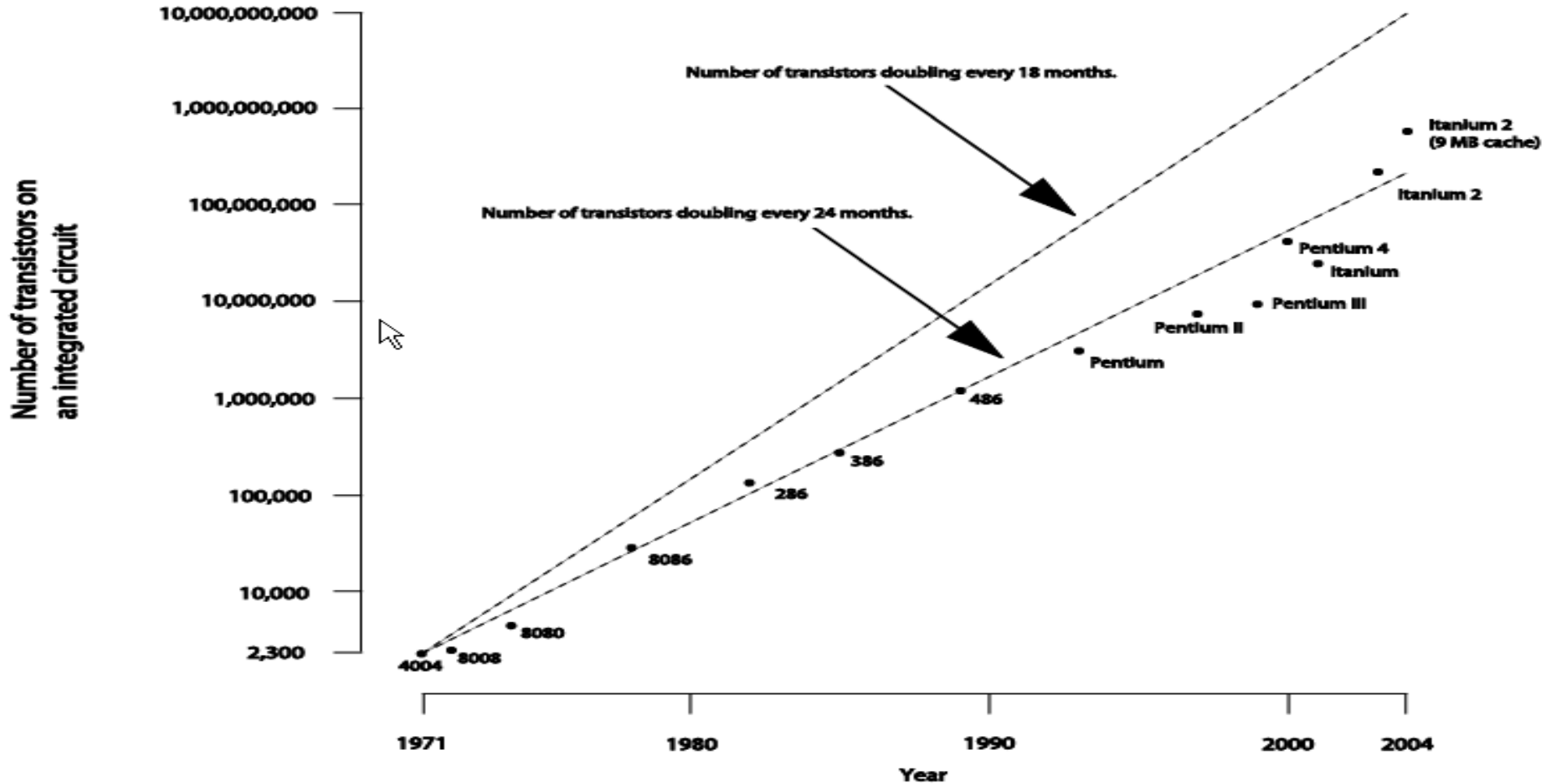
- 弊社 情報に関しては下記URLを参照ください。
- 東京エレクトロン
 - <http://www.tel.co.jp/>
 - <http://www.tel.co.jp/>
- 東京エレクトロン九州
 - <http://www.tel.co.jp/tkl/>
 - <http://www.tel.co.jp/tkl/>

Agenda

- 東京エレクトロン/東京エレクトロン九州 概要
 - Overview of TEL,TKL & Equipments
- 昨今の半導体業界
 - Semiconductor Process
 - Moore's Law
 - More Than Moore2009 ITRS Executive Summary
 - More Than Moore
 - *SiP (System in Package)*
- TEL装置の概要
 - Overview of Equipment
 - Overview of Controller
- TKL Internship 20xx
 - Internship overview
 - USDM in Internship
 - Simulator
 - Enhanced Approach
- Student report
- BACKUP

Moore's Law

Moore's Law



2009 ITRS Executive Summary

Moore's Law & More

Traditional
ORTC Models

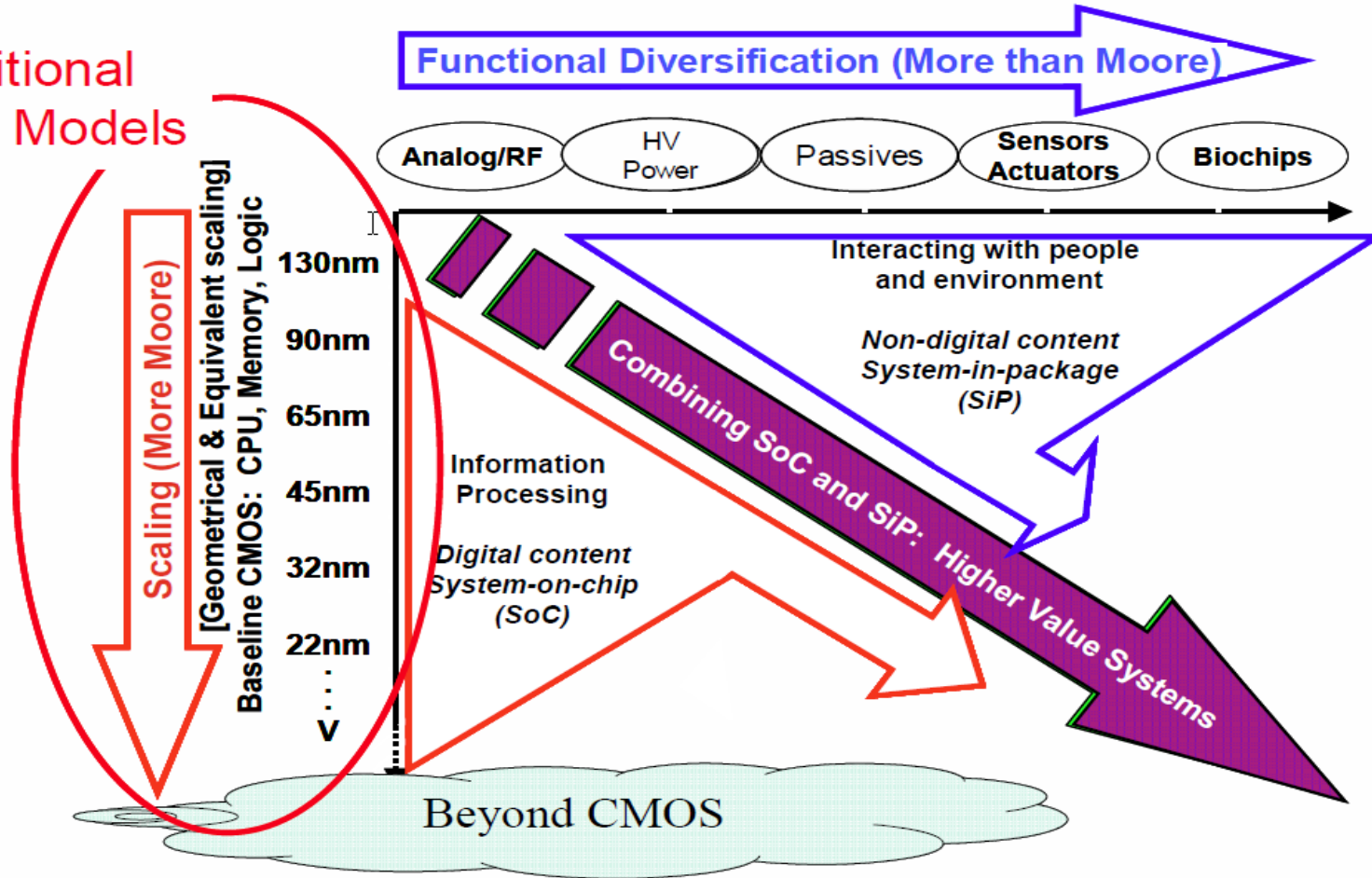


Figure 4 Moore's Law and More

Lithography Metrology for Advanced Patterning

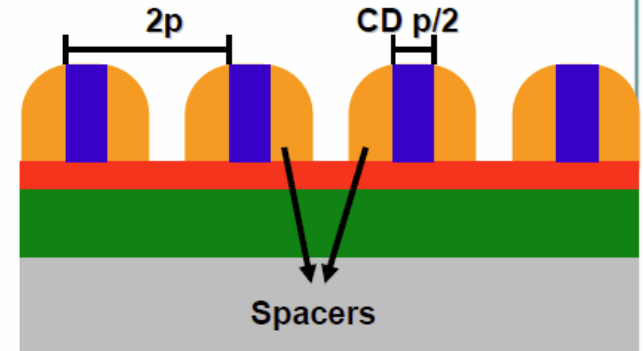
Double Exposure



Double Patterning



Spacer Patterning



Metrology Need:

Latent Image CD

CD-AFM after both exposures but no Solution for CD between exposures

Metrology Need:

Overlay with Precision of 70% Of Single Layer

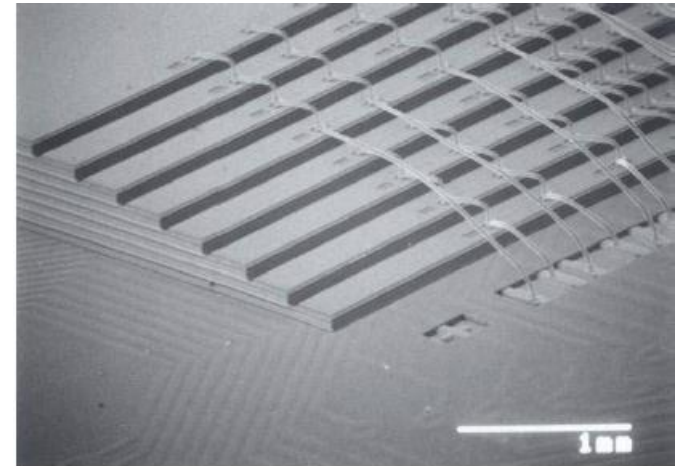
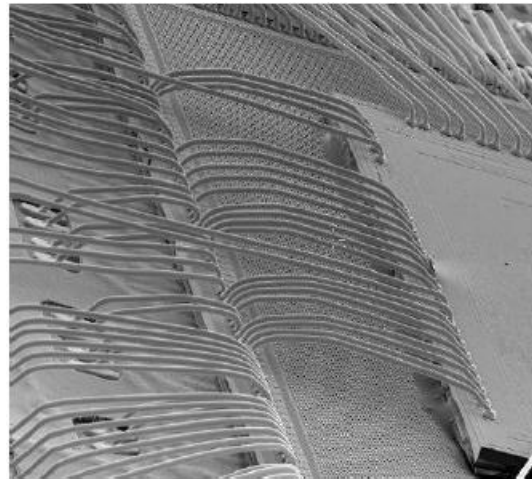
Metrology Need:

Spacer Thickness on Sidewall
Spacer Profile

22 nm Dense lines

More Than Moore

- **3 Dimension Integration (3DI)**
 - SiP (System in Package)

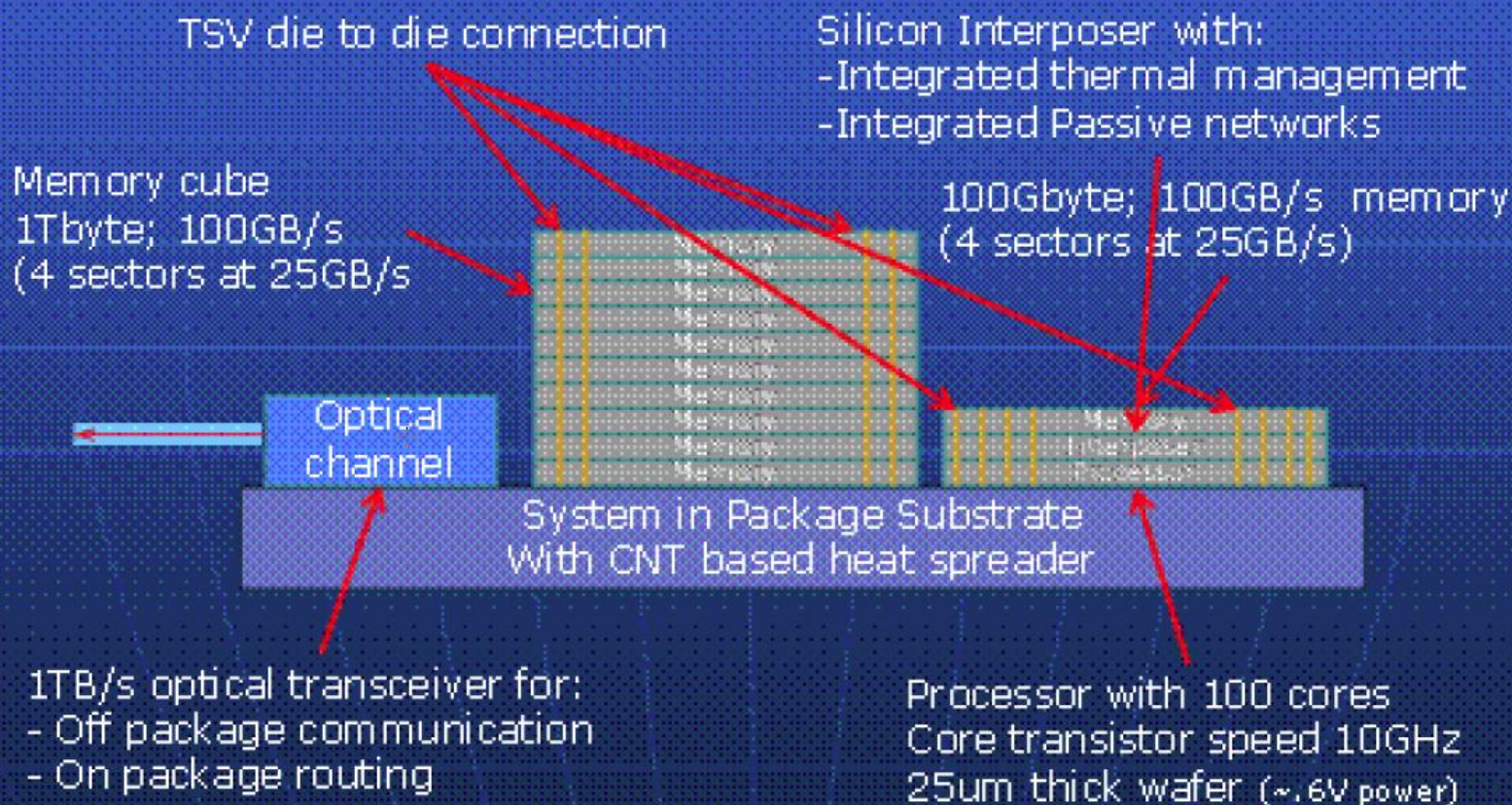


Tera-Scale Computing by 2015 (ITRS)

2009 Edition

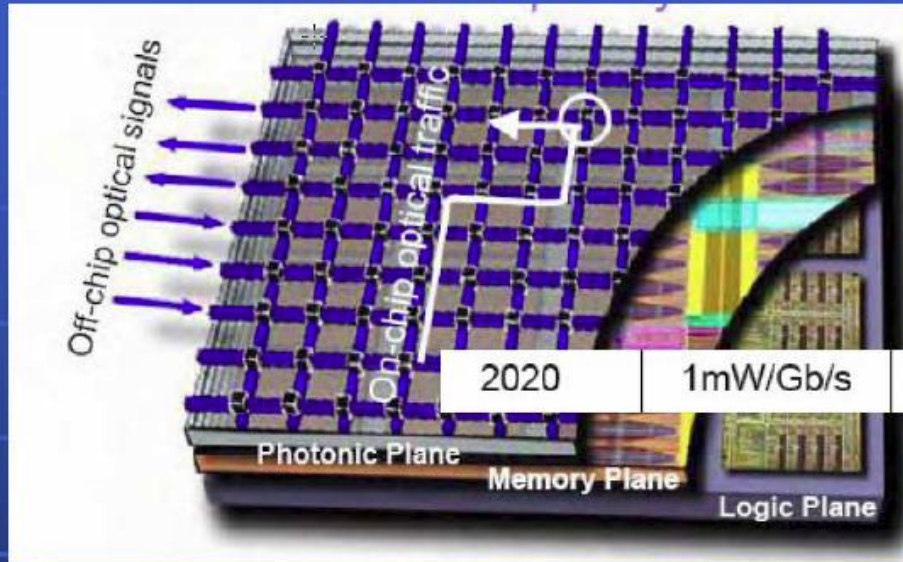
In some cases memory may be on the bottom. As memory runs faster it may become a closer match to CPU for power density. For current memory CPU may be on top.

Tera-scale Computing by 2015



Vision for 2020

Optically connected 3D Supercomputer Chip



Photonics layer integrated with logic and memory layers

- Each layer optimized for performance and yield
- Photonics layer connects cores and routes traffic
- Layers connected with TSV

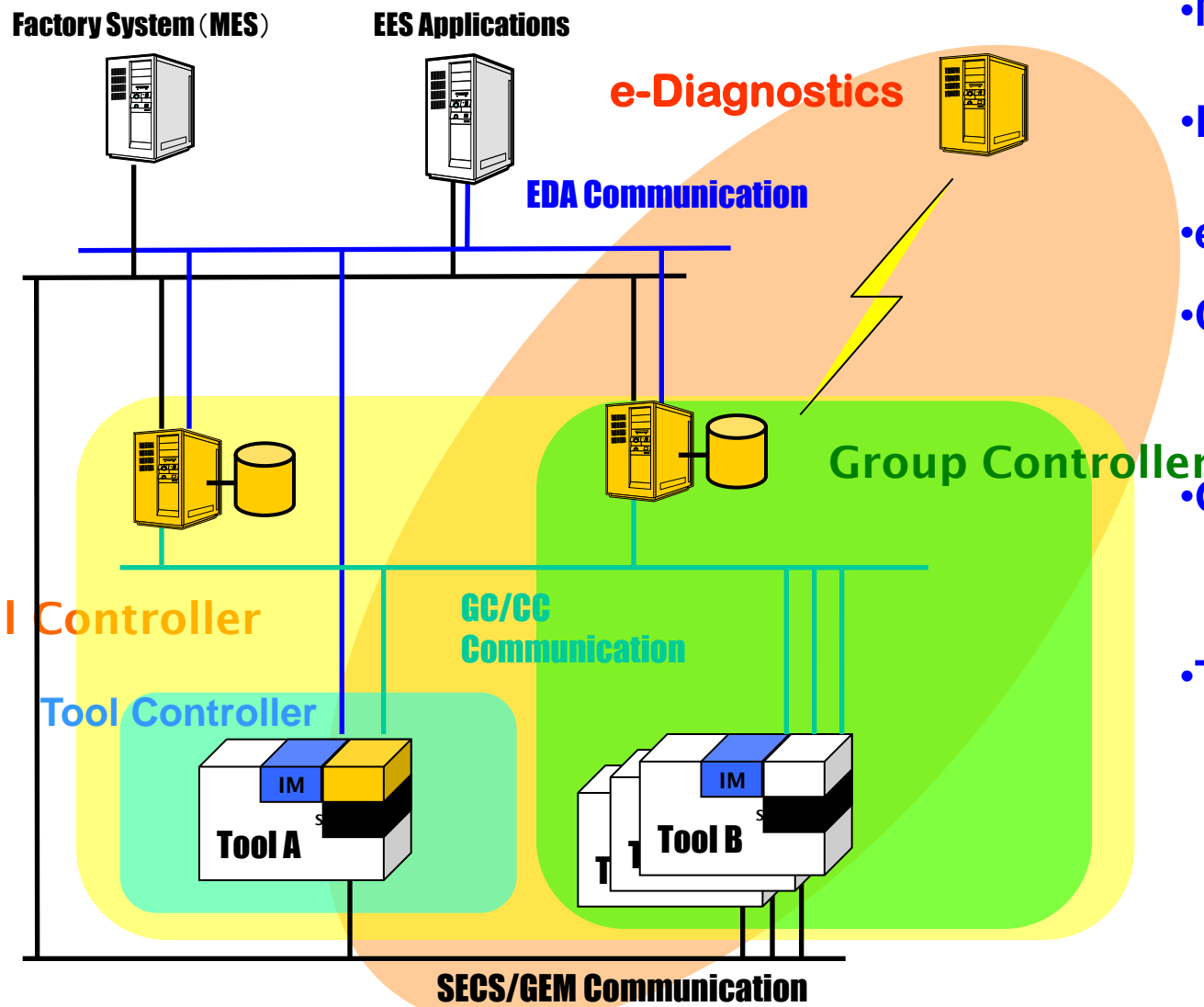
- Logic plane ~300 cores
- Memory plane ~30Gytes DRAM
- Photonic plane
 - >20Tbps optical on-chip (bidirectional)
 - >20Tbps off-chip

System level study:
IBM, Columbia, Cornell,UCSB

Agenda

- 東京エレクトロン/東京エレクトロン九州 概要
 - Overview of TEL,TKL & Equipments
- 昨今の半導体業界
 - Semiconductor Process
 - Moore's Law
 - More Than Moore2009 ITRS Executive Summary
 - More Than Moore
 - SiP (System in Package)
- TEL装置の概要
 - Overview of Equipment
 - Overview of Controller
- TKL Internship 20xx
 - Internship overview
 - USDM in Internship
 - Simulator
 - Enhanced Approach
- Student report
- BACKUP

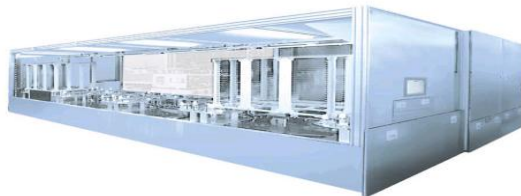
Schematics of Semiconductor Equipment



- MES: Command (Job)
- EES: Process (Data)
APC,FDC by EDA
- e-Diag: Remote Maintenance
- Cell Controller:
Groups Management
Control
- Group Controller:
Equipments Management
Control
- Tool Controller:
Equipment Control

装置構成

- **Cassette Block**
- **Process Block**
- **Interface Block for Other Tool (Ex: Stepper)**



ControllerのPlatform

- TELでは多くの装置を開発製造しています。
 - その装置ごとにPlatformを開発していたのでは工数が膨大になりますので、Platformの共通化を行っています。共通できるものはTELSTにてPlatformの開発をします。
 - 各工場はそのPlatformの共通部を利用して、装置固有部を開発設計します。
-
- Upper Controller
 - Lower Controller
 - Network

Agenda

- 東京エレクトロン/東京エレクトロン九州 概要
 - Overview of TEL,TKL & Equipments
- 昨今の半導体業界
 - Semiconductor Process
 - Moore's Law
 - More Than Moore2009 ITRS Executive Summary
 - More Than Moore
 - *SiP (System in Package)*
- TEL装置の概要
 - Overview of Equipment
 - Overview of Controller
- TKL Internship 20xx
 - Internship overview
 - USDM in Internship
 - Simulator
 - Enhanced Approach
- Student report
- BACKUP

TKL Internship 20xx Overview

■ インターンシップ計画書案概要

■ 実施時期

■ 2010/8/23-2010/9/17 (4weeks)

■ 実施項目

■ 基礎講座 (5days)

- TEL /TKL 会社概要・装置概要 (B-0)
- 一般教養 社会人としての規範 (B-1)
- 安全教育 (B-2)
- 装置操作基本 (トレーニングセンター実習) (2days) (B-3)
- プロセス教育 (B-4)

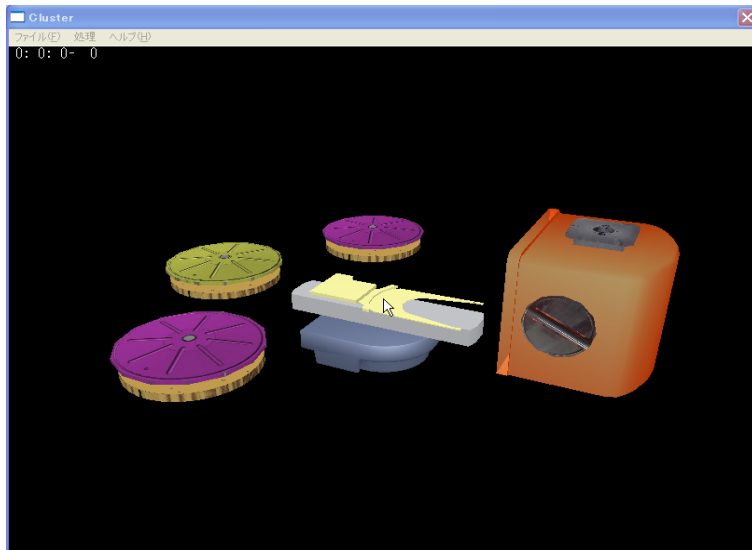
■ 技術講座 (15days) (4名/コース)

- ソフトテスト実習、ソフトウェア品質保証概要 (T-1)
- ソフトウェア設計、開発実習 (T-2)

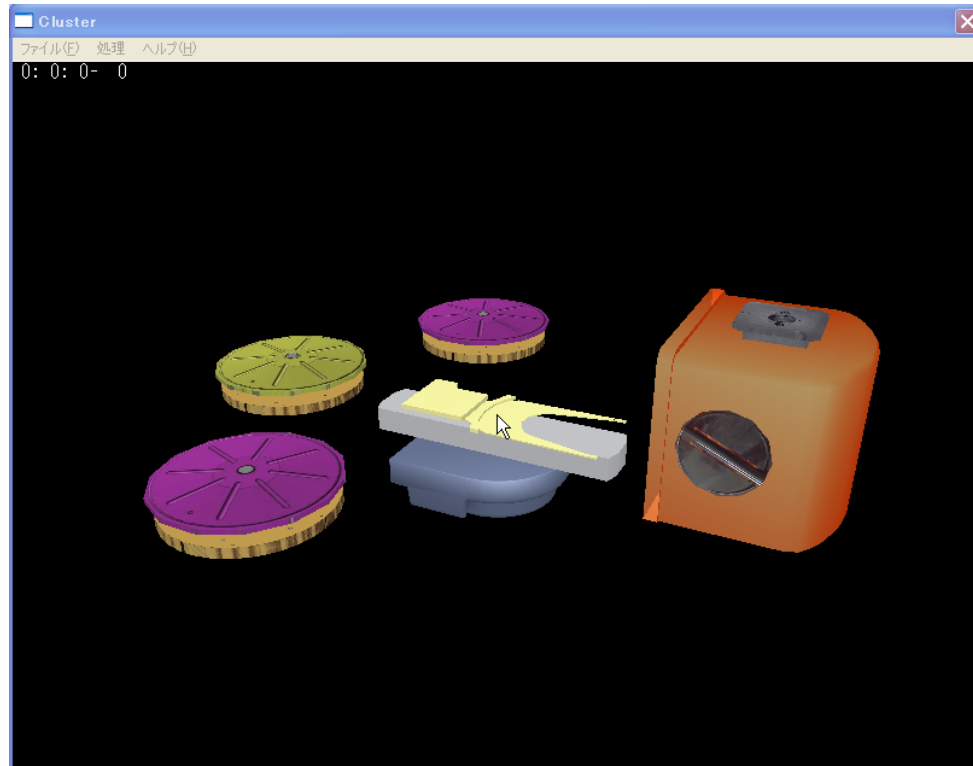
開発実習

■ クラスタ装置のwafer搬送ロジック構築

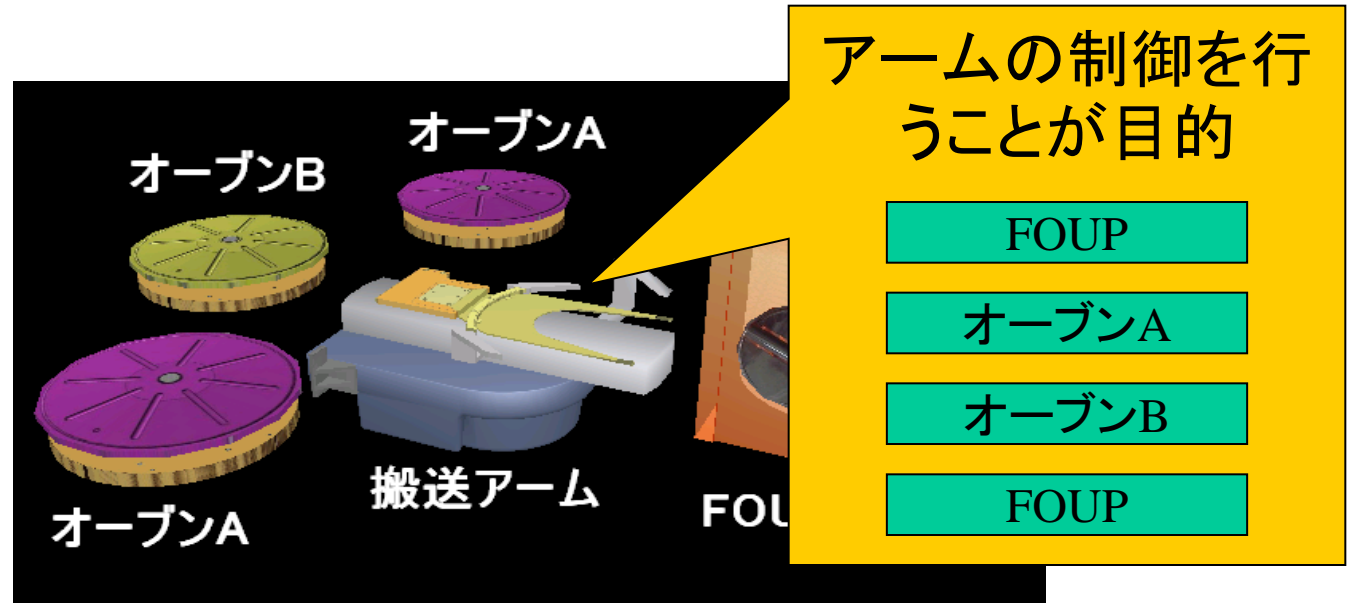
- 要求分析
- 設計
- コーディング
- テスト



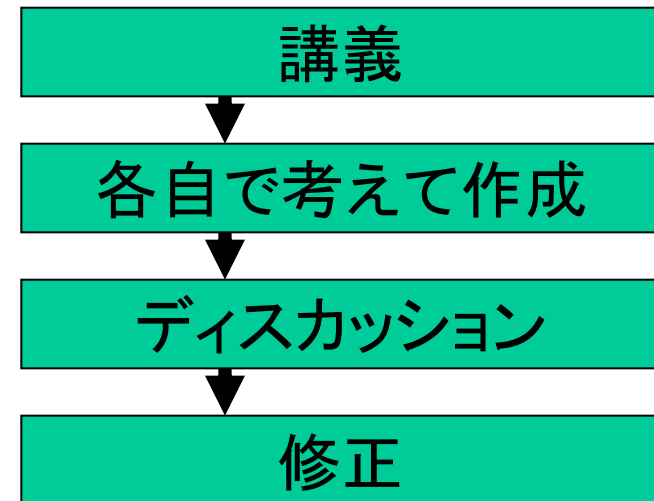
開発コース



開発コース実習内容

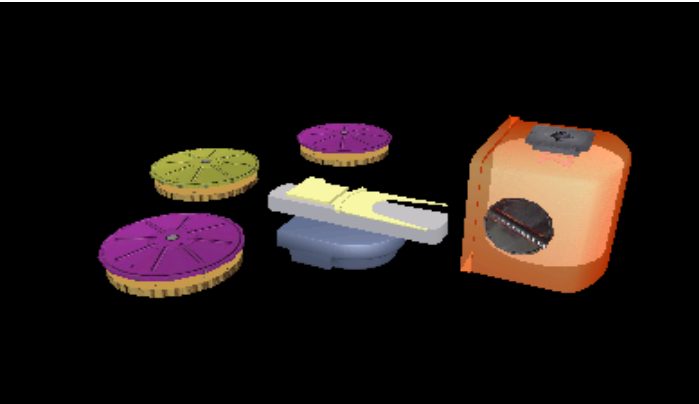


- 要求仕様書
- シーケンス図
- 状態遷移図
- フローチャート
- コーディング



要求の確認

ハードウェア仕様



X軸のストロークは、420mmとする

<搬送アーム>

100-11	1	上下軸、 θ 軸を持つ。wafer搬送のためのフォークを1本持つ。
	2	上下軸、 θ 軸、回転軸をX軸、フォーク動作方向をY軸と呼称する。
	3	θ 軸は、反時計周りに最大280度回転させる事が出来る。
	4	X軸のストロークは、420mmとする

ピン動作時間は1秒とする

<オープンモジュール>

100-12	1	熱板、チャンバー、3ピンを持つ。
	2	オープンモジュールAは、20秒処理し、2ユニット持つ。
	3	オープンモジュールBは、10秒処理する ※処理時間は、ピンアップダウン、チャンバーアップダウンなどの動作も含む
	4	ピンストロークは15mmとする。
	5	ピン動作時間は1秒とする。
	6	チャンバーストロークは35mmとする。
	7	チャンバ動作時間は1秒とする。
	8	wafer送出/受け取り時のZ軸ストロークは、18mmとする。

最大で25枚のwaferを収納できる

100-13	1	最大で25枚のウェハを収納できる。
	2	スロット間ピッチは10mmとする。
	3	wafer送出/受け取り時のZ軸ストロークは、6.8mmとする。

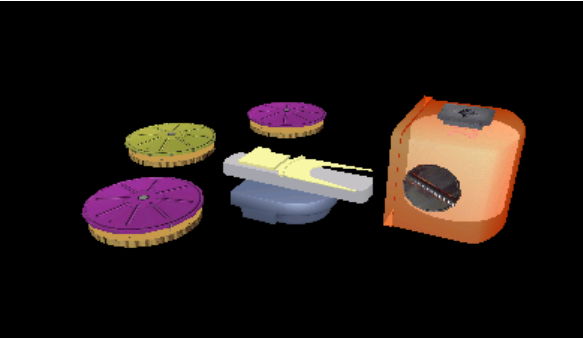
要求の確認

要求	
	概要
要求項目	クラスタ装置でwafer搬送を行うロジックを構築してほしい
要求の理由	新規装置のハード構成にて、スループット〇〇〇wphで搬送することを実現し、競合装置を上回るため。
開発依頼書	
開発計画書	
希望納期	
備考	
要求詳細	内容
要求詳細 1	ソリューションを起動しデバッグ開始することでメイン画面が起動する
要求詳細 2	メイン画面から搬送開始ができる
要求詳細 3	搬送処理ができる
要求詳細 4	
要求詳細 5	
要求詳細 6	

要求の確認

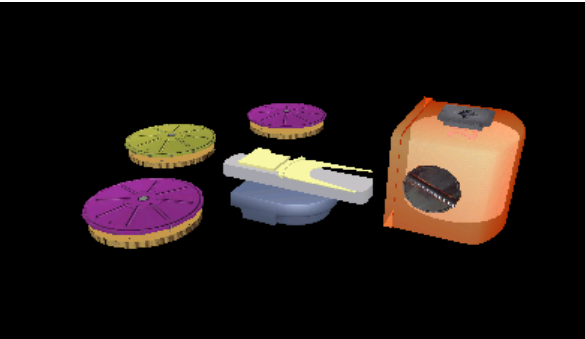
要求詳細	要求番号	内容	備考欄
要求詳細 1	R001	ソリューションを起動しデバッグ開始することでメイン画面が起動する	
要求詳細 2	R002	メイン画面から搬送開始ができる	
要求詳細 3	R003	搬送処理ができる	
要求詳細 4	R004		
要求詳細 5	R005		
要求詳細 6	R006		

要求の分割



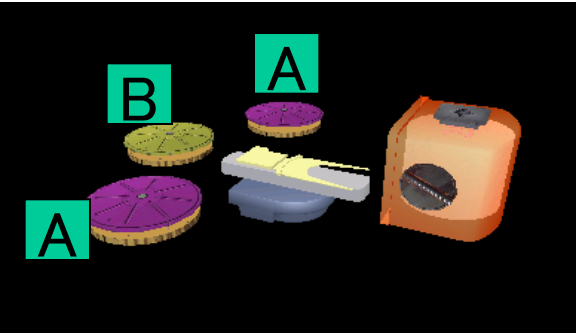
R001	ソリューションを起動しデバッグ開始することでメイン画面が起動する
R002	メイン画面から搬送開始することができる
R003	搬送処理ができる

要求の分割



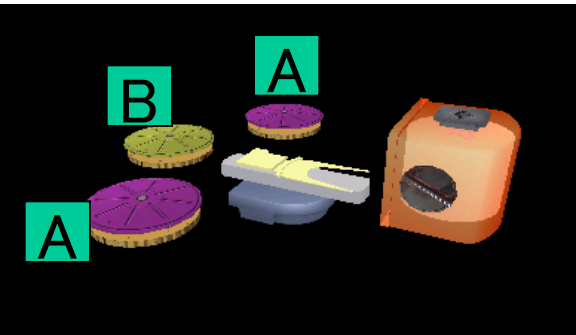
R001	ソリューションを起動しデバッグ開始することでメイン画面が起動する
R002	メイン画面から搬送開始することができる
R003	搬送処理ができる

要求の分割



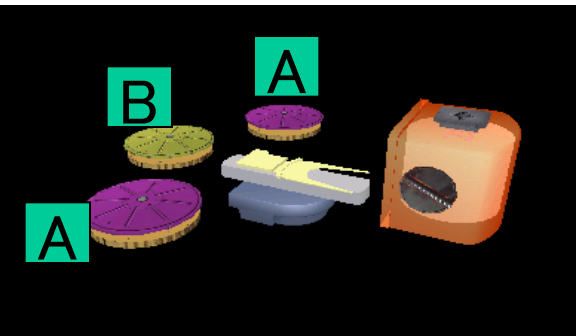
R001	ソリューションを起動しデバッグ開始することでメイン画面が起動する	
R002	メイン画面から搬送開始することができる	
R003	搬送処理ができる	
R003	01	搬送順どおり搬送する
R003	02	搬送アームの処理
R003	03	モジュールの処理

要求の分割



R001	ソリューションを起動しデバッグ開始することでメイン画面が起動する	
R002	メイン画面から搬送開始することができる	
R003	搬送処理ができる	
R003	01	搬送順どおり搬送する
R003	02	搬送アームの処理
R003	03	モジュールの処理

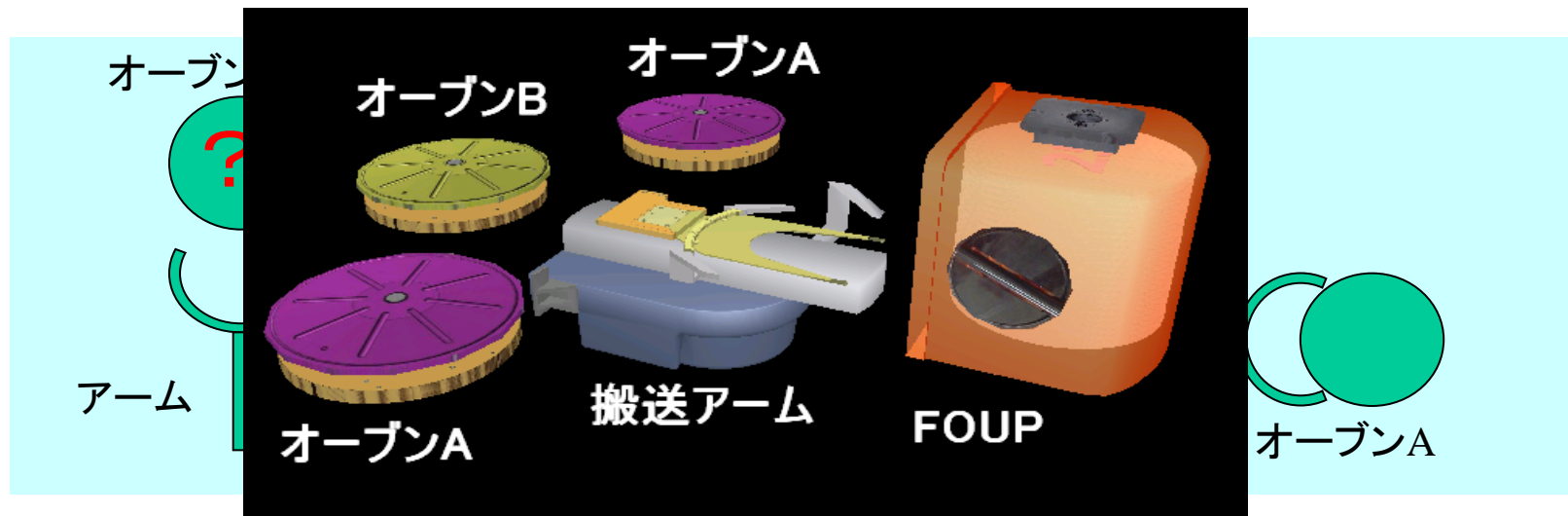
要求の分割



R001	ソリューションを起動しデバッグ開始することでメイン画面が起動する		
R002	メイン画面から搬送開始することができる		
R003	搬送処理ができる		
R003	01	搬送順どおりに搬送する	
R003	01	01	FOUPからwaferの入っていないモジュールAにwaferを搬送する。
R003	01	02	モジュールAからモジュールBにwaferを搬送する。
R003	01	03	モジュールBからFOUPにwaferを搬送する。

開発コース(コーディング)

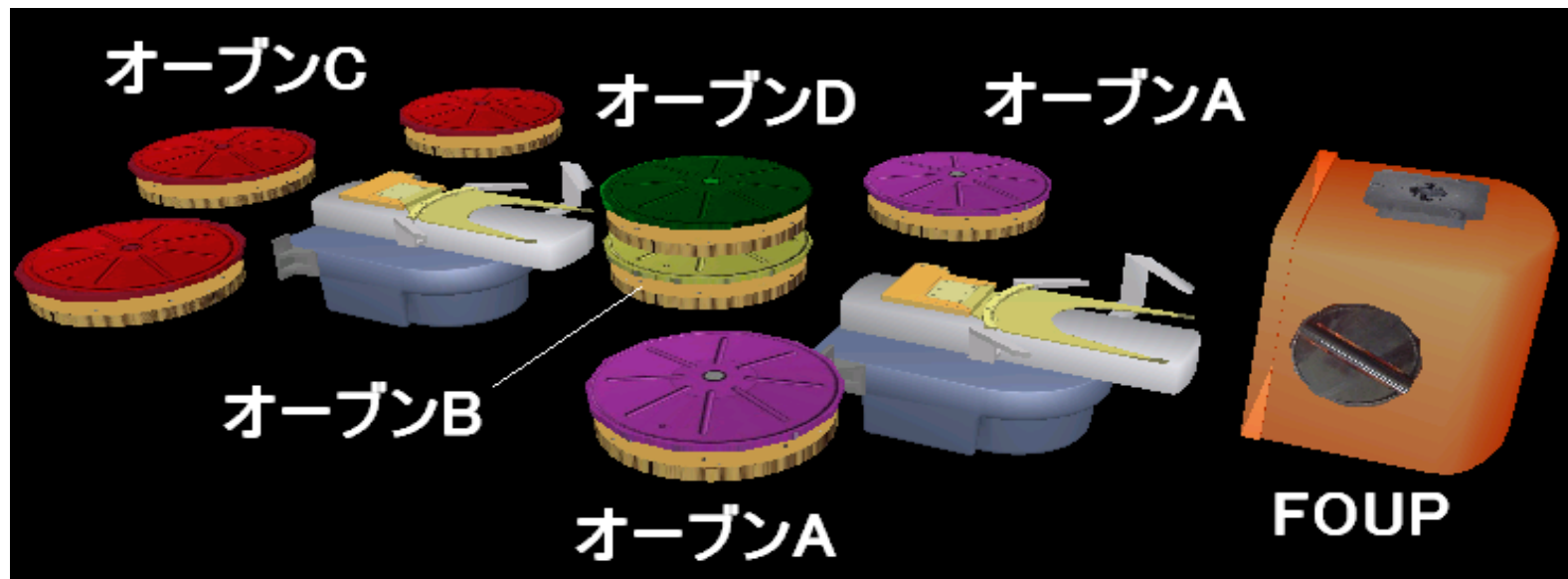
- 搬送レシピ(搬送順序)、モジュールの変更(数、種類)に対して、処理部分のコードの変更無しで対応
- 異常などで予測が外れた場合にも対応



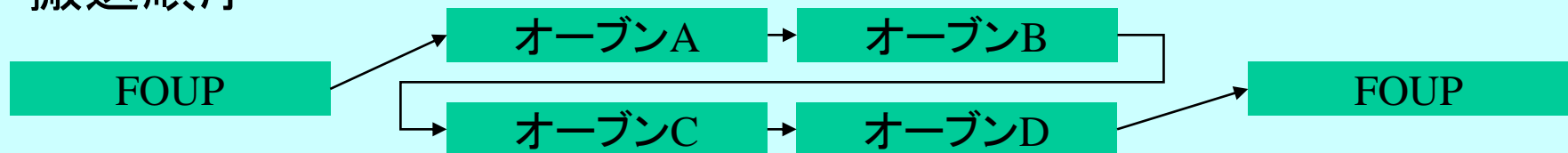
- 4時間程度でコーディングを終えることができた。
 - 要求仕様書、フローチャートの威力を実感

追加課題1 (アーム2本)

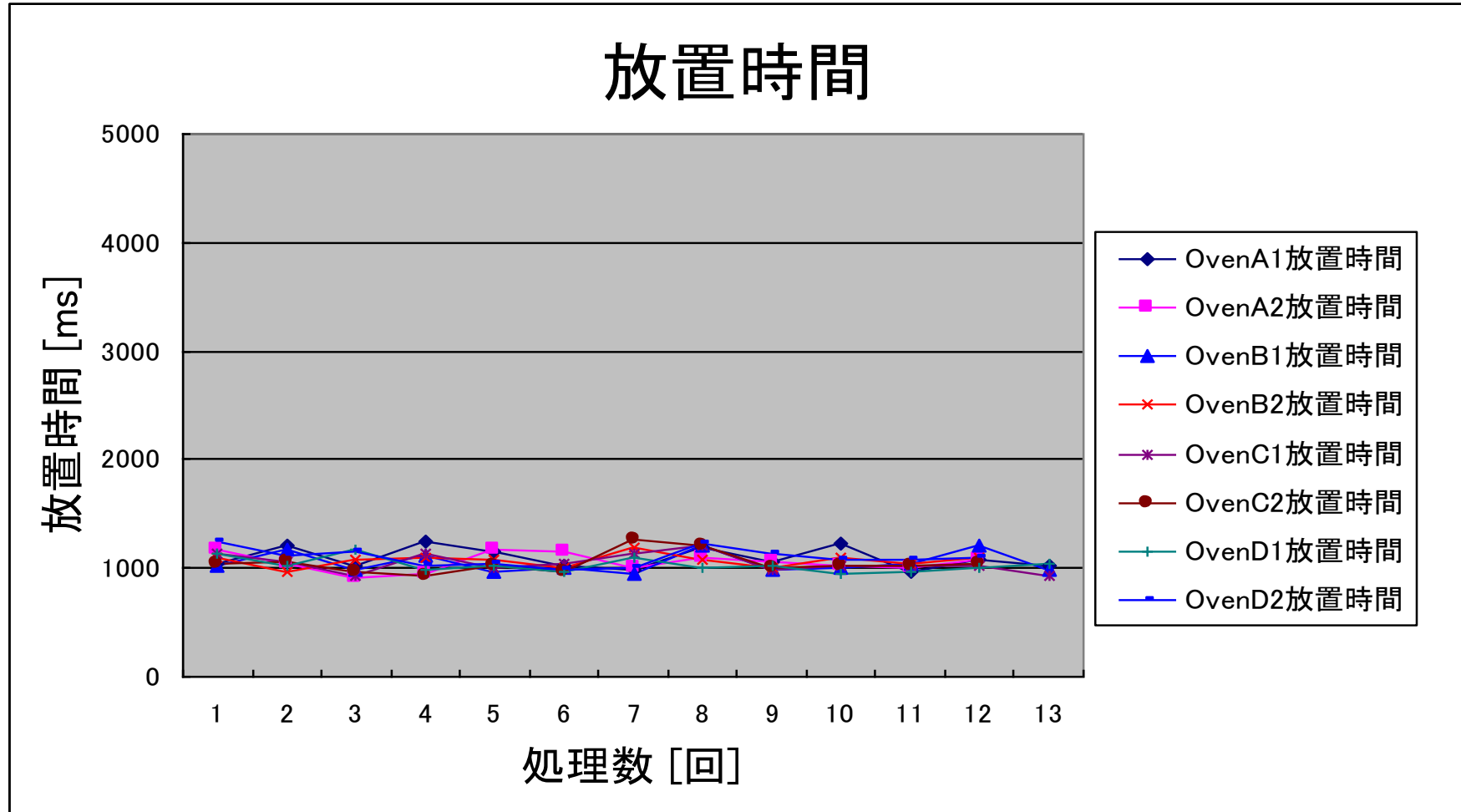
- アーム2本による搬送
- アームはそれぞれ非同期で動作



搬送順序



結果



まとめ(Aさん)

- 要求分析をきちんと行うことのメリットは、要求をもらさないということだけでなく、コーディングのしやすさにも表れる。
- この3週間で学んだ考え方は、プログラムを書くときだけでなく、日常生活においても活用させていきたい。

まとめ(Bさん)

- **要求分析の必要性**
 - なぜするのか、どうやってするのかを考えてから行動する
- **記録を残す重要性**
 - なぜそうなったのか、どうやって実現しているのかを記録する

まとめ(Cさん)

○要求分析をすることで、間違えなく要求されたものを作成可能



要求分析は必要不可欠

感想

- 普段から要求分析が必要
- 充実したインターンでした

まとめ(Dさん)

- 状態遷移図やフローチャート図を使用したコーディングは大学では学べなかったもので、とてもプラスになった。
- コーディング技術に関しても、今まで知らなかった技術などを習得でき、今後自分が学習すべき課題もたくさん見つけることができた。

まとめ(Eさん)

- ソフト開発はこれまでやっていなかったため、インターンシップが始まる前は不安もあったが、今回ソフト開発の大変さを学んだとともに、面白さも知ることができた。
- 要求仕様や要求分析など大学の講義では学べないことを知ることができた。

まとめ(Fさん)

- **要求分析の大切さを知った。**
 - 機能を付け忘れがない。
 - バージョンアップした際に当初の目的を再確認できる。
 - 無駄な機能かどうかの判断ができる。
- **フローチャート、状態遷移図、シーケンス図の便利さ**
 - 頭の中が圧倒的に整理しやすくなる
 - プログラムが無くてもフローチャートで原因追求ができる。

「面倒な作業」ではなく「武器」に

その後（1）

■ Aさん

- インターンシップで学んだ要求分析をソフト開発として活用する機会はなかったが、なぜ必要なのか、なにが必要なのか、どうなれば要求は満たされたといえるのか、という視点でものを捉える考え方は、日常のあらゆる状況においても活かしていくことができるものだと感じた。
- インターンシップ後は、レポートを書くとき、先生と研究の話をするとき、なにか話し合いをするとき等、物事の全体が掴みにくくなりそうな場面でも以前に比べて頭の整理が出来るようになったと実感している。

その後（２）

■ Dさん

- 私の研究は回路設計ですが、回路設計を行う際に要求分析が生かされています。

私は心拍の検出に関する回路を設計しています。心拍検出での要求分析では、たとえば、心拍数を図るという目的であれば、心拍の検出において時間的なタイミングの精度はそれほど必要でなく、ただ単に心拍がカウントできればよいということになります。しかし、心拍のタイミングを診ることで病気の発見を行うという目的であれば、タイミングの精度が必要になります。このように心拍検出において何が要求されているかの分析を行い、必要な回路を設計しております。

その後（3）

■ Fさん

- 個人で企画したソフトについて自問自答する形で利用しています。最近ではAndroidに興味を持っており、ソフト開発の効率化と、要求仕様書作成の練習を兼ねて利用してみました。

今年の2月からAndroidのソフトウェア開発の為勉強を開始し、3月にゲームソフトを企画して単独で開発を開始しました。

そのソフトウェア開発に当たり、「コンセプトは何か」「どのような機能が必要か」「どう開発するか」というのを自問自答しながら書類にまとめ、開発開始前に要求仕様書としてまとめてみました。（ただし、書式などは自由にしています。）

その後、仕様書に従ってプログラムのフローチャート、状態遷移図の作成を行いました。

そして最後にコーディングという流れで開発を行い、4月中旬には無事にマーケットで公開することができました。

- 今回も要求仕様書の威力を体感できました。
まだまだ「面倒」というイメージは消えませんが、「面倒だけど、後で楽」というイメージが強くなっています。
また、公開後のバグ報告に関しても「アルゴリズム系のバグ」(ある操作をするとおかしくなる。保存ができなくなる。値がおかしくなる。等)に関する報告が現在では「0件」です。
- 優位な点としては、やはり頭の整理がしやすく、コーディングの期間が当初の予定の半分で済んだことです。
コーディング中に「あ、この機能が必要だった！」と気づいて、苦肉の策で修正できたものの、わかりにくいコードになってしまったということが無くなったことが効率化の最も大きい要因だと思います。
また、コーディングの際に、仕様書やフローチャートのお蔭で全体的な処理の流れを完全に把握できるので、どういうアルゴリズムが最適か、作成する関数の引数、クラス等には何が必要か、という判断がすぐにできる点も優位であると思います。
- 全体的な処理を考慮した上でコーディングしているので、「この処理や関数は、どこからどこまで影響しているのか？」ということがコードを見ただけですぐにわかる、わからなくても仕様書やフローチャートを見れば把握できるので、バージョンアップの際に久しぶりにコードを見ても「どこからどこまで修正が必要か」という判断が安易であることも利点です。
- 不都合な点としては、一番楽しいコーディングが「お預け」状態になることです。

インターンシップ2011

■TKL Internship 2011 (RAP)

- 期間 2010/8/22-9/16
- 大学院専攻科対象(熊本大学、熊本高専、東海大学)
- 今回はソフト関連 (アーム開発(SQAを含む))

ご静聴ありがとうございました。